

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP 63185271 A

TITLE: LED ARRAY DEVICE

PUBN-DATE: July 30, 1988

INVENTOR-INFORMATION:

NAME

UEDA, HARUHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP62017915

APPL-DATE: January 28, 1987

INT-CL (IPC): H04N001/04, G09G003/32

ABSTRACT:

PURPOSE: To obtain a natural half tone, while a gradation and a resolution being maintained, in regard to a device, used for a facsimile and a printer or the like by providing a shift register and a latch circuit, which have bits of $N \times$ number of dots (number of LED elements), in drive circuit.

CONSTITUTION: A first data and a second data of a two-bits multilevel image data are inputted to a first shift register 1 and a second shift register 1' respectively, and aligned. When the alignment of one line is completed, they are latched respectively in a first latch circuit 2 and a second latch circuit 2' at a latch clock. Afterwards, the data of the first latch circuit 2 is chopped by a first AND gate 3 at the first enable signal of a selecting signal, and similarly, the data of the second latch circuit 2' is chopped by a second AND gate 3' at the second enable signal of the selecting signal, and added together by an OR gate 4. Thus, by using a multilevel data, the four values of light emission energy values are changed for every recording dot, and a multilevel recording, i.e., a recording with the half tone, can be obtained.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-185271

⑤ Int. Cl.⁴H 04 N 1/04
G 09 G 3/32

識別記号

1 0 4

庁内整理番号

Z-8220-5C
7335-5C

④ 公開 昭和63年(1988)7月30日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 LEDアレイ装置

⑯ 特 願 昭62-17915

⑰ 出 願 昭62(1987)1月28日

⑱ 発 明 者 上 田 晴 久 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 栗田 春雄

明 細 書

1. 発明の名称

LEDアレイ装置

2. 特許請求の範囲

高密度に1列に配列された複数のLED素子と、これらのLED素子の順電流値を決定するための抵抗アレイと、同じくLED素子からの発光を伝達する結像レンズと、LED素子を駆動するためのシフトレジスタ、ラッチ回路およびドライバを有する駆動回路とからなるLEDアレイ装置において、前記シフトレジスタおよびラッチ回路がN×LED素子数(Nは整数)のビットを有し、異なるN種のインイブル信号によって異なる記録パルスでドライバを駆動するようにすることを特徴とするLEDアレイ装置。

3. 発明の詳細な説明

産業上の利用分野

本発明はファクシミリ、プリンタなどの電子写真装置に用いられるLEDアレイ装置に関し、特に駆動回路を内蔵するLEDアレイ装置に関するものである。

従来技術

従来、ファクシミリ、プリンタなどの電子写真記録装置の光源としては、半導体レーザ走査光学部、液晶シャッタ、LEDアレイ装置などが用いられているが、中でもLEDアレイ装置については、小形化が可能、高信頼性であること、小形装置としては、高速化が期待できること、半導体製造技術の向上等により低価格化が期待できるという理由から、最も有望な装置として認められており、その適用は増加の傾向にある。

従来この種のLEDアレイ装置は、高密度に1列に配列された複数のLED素子と、これらLED素子の電流値を決定するための抵抗アレイと、LED素子の駆動回路と、LED素子からの発光を伝達する結像レンズとからなり、駆動回路は第2図に示すように、シフトレジスタ1と、ラッチ

回路2と、複数のドライバ5とを有するものであった。

そしてその動作は、シフトクロックによって画像信号データはシフトレジスタ1に1列に整列され、次にラッチクロックによってシフトレジスタ1の出力Q1～Q64はラッチ回路2にラッチされ、ドライバ5において選択信号イネイブルによって選択される時間LED駆動信号LED1～LED64となって、各LED素子を駆動するものであった。

一般に、電子写真記録によるファクシミリ、プリンタにおいては、多値の記録は困難とされている。

この理由の一つには、感光体の γ 特性(濃度変化特性)、現像特性として、現在のところ、多値記録に適するものが得られていないということが挙げられるが、その他に更に支配的な要因として、多値入力により、出光エネルギー値を記録ドット毎に変化することができる光源が少ないと言うことが挙げられる。

- 3 -

の段が発生する偽輪かくが起り、階調の自然さが失われるという欠点があった。

発明が解決しようとする問題点

本発明の目的は、上記の欠点、すなわち中間調の記録を得るために、解像性が悪くなり、また偽輪かくが生じるという問題点を解決したLEDアレイ装置を提供することにある。

問題点を解決するための手段

本発明は上述の問題点を解決するために、高密度に1列に配列された複数のLED素子と、これらのLED素子の順電流値を決定するための抵抗アレイと、同じくLED素子からの発光を伝達する結像レンズと、各LED素子を駆動するための $N \times \text{LED素子数}$ (N は整数)のビットを有するシフトレジスタおよびラッチ回路と、このラッチ回路の出力で各LED素子を駆動するドライバとを有する構成を採用するものである。

作用

本発明は上述のように構成したので、入力データを N ビットの多値画像データとし、これをシフ

トレジスタに整列させた後ラッチ回路にラッチし、相異なる N 種のイネイブル信号によってラッチ回路からのパルス幅の異なる出力を合成し、異なる駆動パルス幅のLED駆動信号を得て、各LED素子を駆動するようにする。

またLEDアレイ装置は、上記のように2値に変換された画像データを、駆動回路に含まれる1ライン分のドット数と同じビットを有するシフトレジスタで整列し、同数のビット数のラッチ回路を通して、ドライバによりLED素子を点滅する構成であるため、この装置による記録は2値画像に限られる。

従って、従来のLEDアレイ装置において、中間調を必要とする画像を記録する場合に、画像信号処理による方法をとる必要があった。

この方法は、画素を大きくして複数のLED素子を用いて中間調を得る擬似中間調記録方法であり、この場合階調性と解像性とが両立せず、なめらかな濃度の変化をもたせて階調性をよくすると、文字などの細かな像の再現が難しく、解像性が悪くなるという欠点があった。また境界に輪かく

- 4 -

トレジスタに整列させた後ラッチ回路にラッチし、相異なる N 種のイネイブル信号によってラッチ回路からのパルス幅の異なる出力を合成し、異なる駆動パルス幅のLED駆動信号を得て、各LED素子を駆動するようにする。

したがってこの駆動パルス幅で中間調記録が行われる。

実施例

次に本発明の実施例について図面を参照して説明する。

本発明の一実施例の駆動回路を回路図で示す第1図を参照すると、本発明のLEDアレイ装置は、高密度に1列に配列された複数のLED素子と、LED素子の駆動回路と、LED素子からの発光を伝達する結像レンズとからなることは従来と変わらない。

ただ、本発明の駆動回路は、 $N \times \text{LED素子数}$ のビットを有するシフトレジスタおよびラッチ回路を有するものである。第1図は $N=2$ の場合を示しており、夫々64ビット分の第1および第

- 5 -

- 6 -

2のシフトレジスタ1および1'と、同じく夫々64ビット分の第1および第2のラッチ回路2および2'と、第1のラッチ回路2の出力と第1のイネイブル信号とを入力する第1のアンドゲート3と、第2のラッチ回路2'の出力と第1のイネイブル信号に対してタイミングをずらした第2のイネイブル信号とを入力する第2のアンドゲート3'と、これら第1のアンドゲート3および第2のアンドゲート3'の出力を加え合わせるオアゲート4と、この出力により64個の各LED素子を駆動するドライバ5とからなっている。そしてこのLEDアレイ装置は記録装置に必要なLED素子数だけの複数組が設けられる。

次に本実施例の動作について第1図を用いて説明する。本実施例では2ビットの多値画像データの第1のデータおよび第2のデータは、夫々第1のシフトレジスタ1および第2のシフトレジスタ1'に入力整列される。1ラインの整列が終わると、夫々第1のラッチ回路2および第2のラッチ回路2'にラッチクロックによってラッチされる。

- 7 -

ただし

第1のイネイブルのパルス幅 $2T_0$ 。

第2のイネイブルのパルス幅 T_0 。

したがって、このように多値データの第1のデータと第2のデータを用いることによって、0、 T_0 、 $2T_0$ 、 $3T_0$ に対応する4つの値の出光エネルギー値を各記録ドット毎に変化させ、多値記録すなわち中間調のある記録が得られる。

なお本実施例においては、 $N=2$ 、すなわちシフトレジスタおよびラッチ回路のビット数を記録すべきドット数の2倍に設定した場合を示したが、 N の数を増加すれば更に多いレベル数の多値記録が可能となる。

また、本実施例においては、各2個のシフトレジスタ、ラッチ回路を並列に用いて、並列入力の多値データを扱う場合を示したが、シフトレジスタおよびラッチ回路を直列に $2 \times$ LED素子数のビットを有するものとし、第1のデータと第2のデータとを1本の入力線をもって直列入力とすることによっても同様に実現される。

- 9 -

その後第1のラッチ回路2のデータは、選択信号の第1のイネイブル信号によって第1のアンドゲート3によりチョップされ、同じく第2のラッチ回路2'のデータは選択信号の第2のイネイブル信号によって第2のアンドゲート3'によりチョップされ、オアゲート4によって加え合わされて、ドライバ5を通してLED駆動信号LED1~LED64として出力される。この時第1のデータが画像強度レベルの高位ビットであり、第2のデータが低位ビットである場合には、第1のイネイブルのパルス幅を第2のイネイブルのパルス幅の2倍に設定することにより、第1表に示すように駆動パルス幅に重み付けをすることができる。

第1表 記録パルス幅

| レベル | 第1のデータ | 第2のデータ | LEDドライバ出力 |
|-----|--------|--------|-----------|
| 0 | 0 | 0 | 0 (点灯せず) |
| 1 | 0 | 1 | T_0 |
| 2 | 1 | 0 | $2T_0$ |
| 3 | 1 | 1 | $3T_0$ |

- 8 -

発明の効果

以上に説明したように、本発明によれば、高密度に配列されたLED素子と、LED素子の順電流値を決定するための抵抗アレイと、LED素子の駆動回路と、結像レンズを有する構成において、駆動回路内に $N \times$ ドット数(LED素子数)のビットを有するシフトレジスタおよびラッチ回路を設けることにより、多値データ入力によるドット毎の出光エネルギーの調節を可能とし、多値記録が可能となり、階調性と解像性を両立しながら、自然な中間調が得られるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は従来の一例の回路図である。

1、1' ……シフトレジスタ、2、2' ……ラッチ回路、3、3' ……アンドゲート、4 ……オアゲート、5 ……ドライバ、LED1~LED64 ……LED素子駆動信号。

代理人 弁理士 栗田 春 雄



- 10 -

